



数模混合模块 OBT-MCES-01 使用手册

文件编号：ORBITA/SY-MCES-01-USM-01

文件名称	数模混合模块 OBT-MCES-01 使用手册		
文件编号	ORBITA/SY-MCES-01-USM-01		
部 门	系统部	编写日期	2018-6-27
版 本	A1	页 数	34
编 制			
审 核			
审 批			

修 改 记 录		
日 期	变 更 内 容	修 改 者
2013-10-10	首次创建	
2018-6-27	增加产品定货信息，修改公司 LOGO	

目 录

1	概述	1
1.1	OBT-MCES-01 模块简介.....	1
1.2	模块资源描述.....	2
1.3	管脚描述.....	3
1.4	技术参数.....	16
2	模块资源	17
2.1	DSP 部分.....	17
2.1.1	EMIF 接口.....	17
2.1.2	I2C 接口.....	17
2.1.3	JTAG 口.....	17
2.1.4	DSP 配置.....	18
2.2	存储部分.....	18
2.2.1	FLASH 部分.....	18
2.2.2	SRAM 部分.....	19
2.3	FPGA 部分.....	19
2.3.1	FPGA 管脚分配.....	19
2.3.2	FPGA PROM.....	28
2.4	RS422 部分.....	28
2.5	CAN 部分.....	28
2.6	ADC_B9243 部分.....	28
2.7	ADC_B9235 部分.....	29
2.8	DAC_B9726 部分.....	30
2.9	IO 部分.....	30
2.10	触发器部分.....	32
2.11	时钟部分.....	33

2.12	锁相环部分.....	33
2.13	电源部分.....	33
3	封装尺寸.....	34
4	产品定货信息.....	34

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 1 页, 共 34 页

1 概述

1.1 OBT-MCES-01 模块简介

OBT-MCES-01 是一款基于立体式封装技术的数模混合 SIP 模块。系统集成基带处理模块(FPGA层)、计算机处理模块(DSP层)。包含 ADC、DAC、CAN、RS422、存储等功能。其功能框图如下：

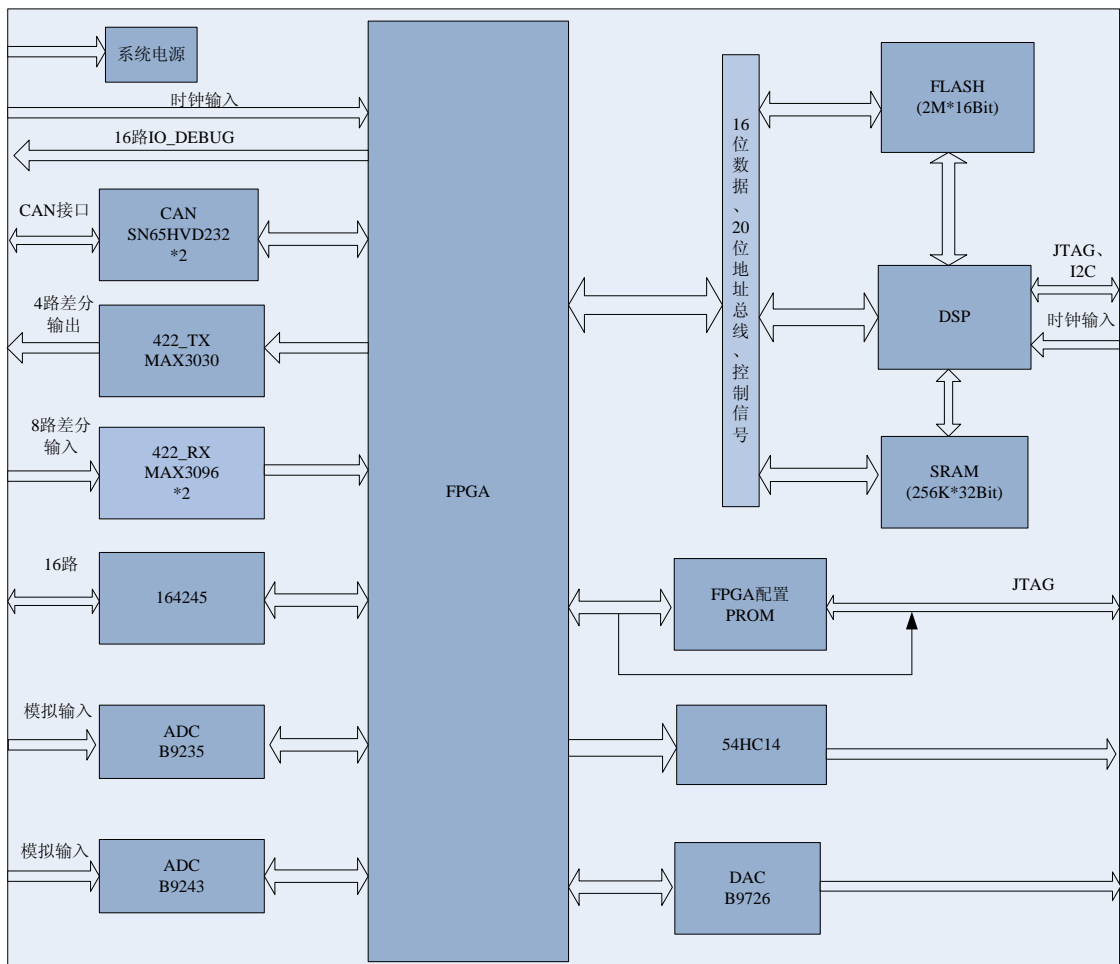



图 1 系统框图

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 2 页, 共 34 页

1.2 模块资源描述

OBT-MCES-01 模块包括以下资源：

- 1) 32 位浮点高性能 DSP;
- 2) 100 系统门 FPGA;
- 3) 2M*16Bit FLASH;
- 4) 256K*32Bit SRAM;
- 5) 8 路 RS422 接收、4 路 RS422 发送;
- 6) 两路 CAN;
- 7) 12Bit ADC_B9235;
- 8) 8Bit ADC_B9243;
- 9) 16 位差分 DAC_B9726;
- 10) 触发器;
- 11) 16 路 3.3/5V 电平驱动。

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 3 页, 共 34 页

1.3 管脚描述

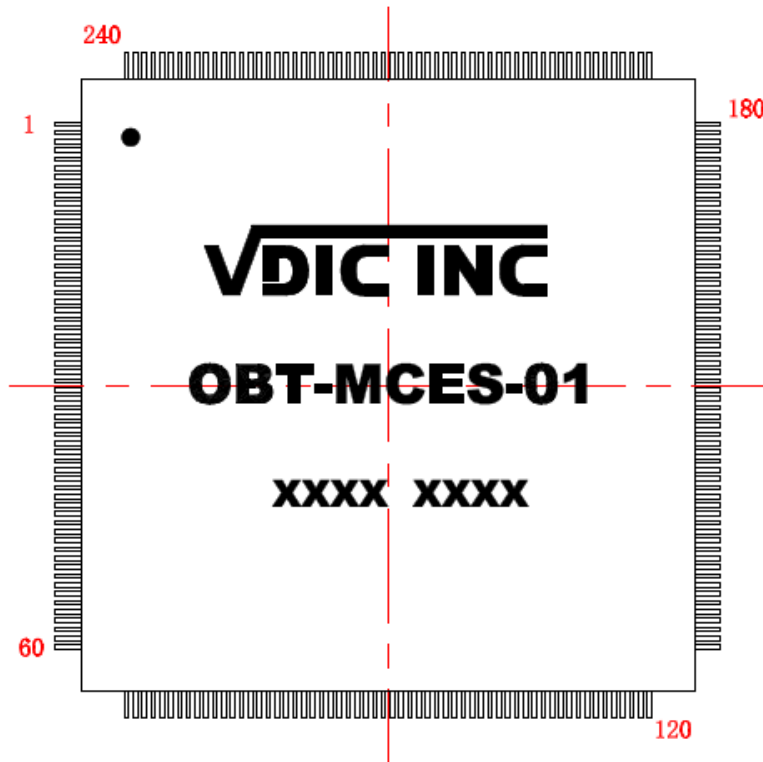


表 1-1 OBT-MCES-01 管脚描述

管脚编号	管脚名称	管脚功能
1	VCC_2.5	+2.5V 数字电压输入。 (DAC 供电电压)
2	VCC_2.5	
3	VCC_2.5	
4	GND	数字地
5	Y_AVDD_2.5	+2.5V 模拟电压输入。 (DAC 供电电压)
6	Y_AVDD_2.5	
7	Y_AVDD_2.5	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 4 页, 共 34 页

8	GND	数字地
9	FPGA_TCK	FPGA JTAG
10	FPGA_TMS	
11	FPGA_TDI	
12	FPGA_TDO	
13	FPGA_PROG	
14	FPGA_DONE	
15	GND	

管脚编号	管脚名称	管脚功能
16	J_C_RXA_422	422: J_C_RXA, FPGA 端输入。 不用连接
17	J_C_RXA+422	422:J_C_RXA 差分输入。
18	J_C_RXA-422	
19	J_C_RXD-422	422:J_C_RXD 差分输入。
20	J_C_RXD+422	
21	J_C_RXD_422	422: J_C_RXD, FPGA 端输入, 不用连接。
22	J_C_RXC_422	422: J_C_RXC, FPGA 端输出, 不用连接。
23	J_C_RXC+422	422:J_C_RXC 差分输入。

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 5 页, 共 34 页

24	J_C_RXC-422	
25	J_C_RXB-422	422:J_C_RXB 差分输入。
26	J_C_RXB+422	
27	J_C_RXB_422	422: J_C_RXB, FPGA 端输入, 不用连接。
28	VCC_3.3	3.3V 输入
29	GND	数字地
30	J_C_D02-422	422:J_C_D02 差分输出。
31	J_C_D02+422	
32	J_C_D02_422	422: J_C_D02, FPGA 输出端, 不用连接。


管脚编号	管脚名称	管脚功能
33	J_C_TX1_422	422: J_C_TX1, FPGA 输出端, 不用连接。
34	J_C_TX1+422	422:J_C_TX1 差分输出。
35	J_C_TX1-422	
36	J_C_D01-422	422: J_C_D01 差分输出。
37	J_C_D01+422	
38	J_C_D01_422	422: J_C_D01, FPGA 输出端, 不用连接。
39	J_C_YC_422	422: J_C_YC, FPGA 输出端, 不用连接。
40	J_C_YC+422	422: J_C_YC 差分输出。

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 6 页, 共 34 页

41	J_C_YC-422	
42	Y_CAN_L	Y_C_CAN 端口。
43	Y_CAN_H	
44	J_C_CAN_D	J_C_CAN, FPGA 端, 不用连接。
45	J_C_CAN_R	
46	J_C_CANL	J_C_CAN 端口。
47	J_C_CANH	
48	GND	数字地
49	J_245_0	JS164245 +5V 电平 1B1
50	J_245_1	JS164245 +5V 电平 1B2
管脚编号	管脚名称	管脚功能
51	J_245_2	JS164245 +5V 电平 1B3
52	J_245_3	JS164245 +5V 电平 1B4
53	J_245_4	JS164245 +5V 电平 1B5
54	J_245_5	JS164245 +5V 电平 1B6
55	J_245_6	JS164245 +5V 电平 1B7
56	J_245_7	JS164245 +5V 电平 1B8
57	J_245_8	JS164245 +5V 电平 2B1
58	J_245_9	JS164245 +5V 电平 2B2
59	VCC_5V	+5V 输入。 (JS164245 供电)

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 7 页, 共 34 页


60	VCC_5V	
61	VCC_3.3	3.3V 输入
62	GND	数字地
63	J_245_10	JS164245 +5V 电平 2B3
64	J_245_11	JS164245 +5V 电平 2B4
65	J_245_12	JS164245 +5V 电平 2B5
66	J_245_13	JS164245 +5V 电平 2B6
67	J_245_14	JS164245 +5V 电平 2B7
68	J_245_15	JS164245 +5V 电平 2B8
69	J_DSP_BE2	DSP #BE2 信号, 不用连接。
管脚编号	管脚名称	管脚功能
70	J_DSP_BE3	DSP #BE3 信号, 不用连接。
71	J_DSP_ARDY	DSP ARDY 信号, 不用连接。
72	J_DSP_CE3	DSP #CE3 信号, 不用连接。
73	J_DSP_CE2	DSP #CE2 信号, 不用连接。
74	J_DSP_EA2	DSP 地址信号, 不用连接。
75	J_DSP_EA3	
76	J_DSP_EA4	
77	J_DSP_EA5	
78	J_DSP_EA6	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 8 页，共 34 页

79	J_DSP_EA7	
80	J_DSP_EA8	
81	J_DSP_EA9	
82	J_DSP_AOE	DSP #AOE 信号，不用连接。
83	J_DSP_EA10	DSP 地址信号，不用连接。
84	VCC_3.3	3.3V 输入
85	GND	数字地
86	J_DSP_ECLKOUT	DSP ELCKOUT 信号，不用连接。 可测试此脚输出波形是否正常。
87	J_DSP_ARE	DSP #ARE 信号，不用连接。
88	J_DSP_AWE	DSP #AWE 信号，不用连接。
管脚编号	管脚名称	管脚功能
89	J_DSP_EA11	DSP 地址信号， 不用连接。
90	J_DSP_EA12	
91	J_DSP_EA13	
92	J_DSP_EA14	
93	GND	数字地
94	VCC1.26_DSP	DSP 核电压 1.26V 输入。 兼容 1.2V。
95	VCC1.26_DSP	
96	VCC1.26_DSP	
97	VCC1.26_DSP	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第9页, 共34页

98	VCC1.26_DSP	
99	GND	数字地
100	GND	
101	GND	
102	GND	
103	GND	
104	J_DSP_CE0	
105	J_DSP_CE1	DSP #CE1 信号, 不用连接。
106	J_DSP_BE1	DSP #BE1 信号, 不用连接。
107	J_DSP_BE0	DSP #BE0 信号, 不用连接。
管脚编号	管脚名称	管脚功能
108	J_DSP_EA21	DSP 地址信号, 不用连接。
109	J_DSP_ED15	DSP 数据总线, 不用连接。
110	J_DSP_ED14	
111	J_DSP_ED13	
112	J_DSP_ED12	
113	J_DSP_ED11	
114	J_DSP_ED10	
115	J_DSP_ED9	
116	J_DSP_ED8	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 10 页, 共 34 页

117	GND	数字地
118	GND	
119	VCC_3.3	3.3V 输入
120	VCC_3.3	
121	J_DSP_ED7	DSP 数据总线, 不用连接。
122	J_DSP_ED6	数据线, 不用连接。
123	J_DSP_ED5	
124	J_DSP_ED4	
125	J_DSP_ED3	
126	J_DSP_ED2	
127	J_DSP_ED1	
128	J_DSP_ED0	
129	J_DSP_HOLD	DSP HOLD 信号, 不用连接。
130	GND	数字地
131	GND	
132	VCC_1.5	+1.5V 输入。 (FPGA 核电压)
133	VCC_1.5	
134	VCC_1.5	
135	VCC_1.5	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 11 页, 共 34 页


136	VCC_1.5	
137	VCC_1.5	
138	VCC_1.5	
139	GND	数字地
140	J_DSP_EMU1	DSP JTAG
141	J_DSP_EMU0	
142	J_DSP_TDO	
143	J_DSP_TDI	
144	J_DSP_TMS	
145	J_DSP_TCK	
145	J_DSP_TCK	
管脚编号	管脚名称	管脚功能
146	J_DSP_TRST	DSP JTAG
147	GND	数字地
148	GCK_BK1	FPGA 预留时钟信号。
149	GCK_BK2	
150	ICLK9. 8304M	
151	ICLK40M_1	
152	ICLK40M	系统时钟输入, DSP、FPGA 共用。
153	GND	数字地
154	GND	

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 12 页, 共 34 页

155	J_DSP_RESET	DSP 复位信号, 低电平有效, 不用连接。 可测试此脚信号是否正常。
156	GND	数字地
157	J_AVDD_3.3	DSP 锁相环 3.3V 电压输入。 外接滤波网络。
158	J_DSP_SDA0	DSP I2C0 ¹
159	J_DSP_SDL0	
160	J_DSP_SDA1	DSP I2C1 ¹
161	J_DSP_SDL1	
162	GND	数字地
163	J_GP4/DSP_INT4	DSP 外部中断输入或 GPIO, 不用连接。
管脚编号	管脚名称	管脚功能
164	J_GP6/DSP_INT6	DSP 外部中断输入或 GPIO, 不用连接。
165	J_GP5/DSP_INT5	
166	J_GP7/DSP_INT7	
167	GND	数字地
168	Y_RESET	系统复位输入。
169	Y_ADCLKOUT	FPGA 输出做 ADC_B9243 时钟信号。 外接 3.3/5V 电平转换。
170	GND	数字地
171	Y_ADDR5	FPGA 输出, 预留模拟 开关地址信号。
172	Y_ADDR4	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 13 页, 共 34 页

173	Y_ADDR3	
174	Y_ADDR2	
175	Y_ADDR1	
176	Y_ADDR0	
177	AGND	模拟地
178	AGND	
179	VCC_3.3	3.3V 输入
180	VCC_3.3	
181	J_IO_0	16 路 FPGA IO 口
182	J_IO_1	
管脚编号	管脚名称	管脚功能
183	J_IO_2	16 路 FPGA IO 口
184	J_IO_3	
185	J_IO_4	
186	J_IO_5	
187	J_IO_6	
188	J_IO_7	
189	J_IO_8	
190	J_IO_9	
191	J_IO_10	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 14 页，共 34 页

192	J_IO_11	
193	J_IO_12	
194	J_IO_13	
195	J_IO_14	
196	J_IO_15	
197	Y_AVDD_5	模拟 5V 输入。 B9243 供电电压。
198	Y_AVDD_5	
199	AGND	模拟地
200	AGND	
201	Y_ADCLK	B9243 时钟输入。第 169 脚电压转换后输入。
管脚编号	管脚名称	管脚功能
202	Y_MUX	B9243 模拟输入。
203	Y_ADIN-	B9235 模拟差分输入。
204	Y_ADIN+	
205	MODE	B9235 MODE 配置。
206	AGND	模拟地
207	VCC_3.3	3.3V 输入。
208	VCC_3.3	
209	Y_PCM-F	触发器输出。
210	Y_PCM_UP	

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 15 页, 共 34 页

211	Y_RXD4-	422:Y_RXD4 差分输入。
212	Y_RXD4+	
213	Y_RXD3+	422:Y_RXD3 差分输入。
214	Y_RXD3-	
215	Y_RXD2-	422:Y_RXD2 差分输入。
216	Y_RXD2+	
217	Y_RXD1+	422:Y_RXD1 差分输入。
218	Y_RXD1-	
219	AGND	模拟地。
220	J_SRAM_CE	SRAM #CE 信号, 不用连接。
管脚编号	管脚名称	管脚功能
221	J_SRAM_OE	SRAM #OE 信号, 不用连接。
222	Y_DAADJ	B9726 FSADJ 引脚。 外接电阻决定 DAC 输出电流大小。
223	Y_AVDD_3.3	模拟 3.3V 输入
224	Y_AVDD_3.3	
225	J_SRAM_WE	SRAM #WE 信号, 不用连接。
226	AGND	模拟地
227	AGND	
228	Y_IOUTB	B9726 电流输出负端。
229	Y_IOUTA	B9726 电流输出正端。

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 16 页, 共 34 页

230	AGND	模拟地
231	J_FLASH_CE	FLASH #CE 信号, 不用连接。
232	J_FLASH_AOE	FLASH #AOE 信号, 不用连接。
233	J_FLASH_RY/BY#	FLASH RY/#BY 信号, 推荐上拉至 3.3V。
234	J_FLASH_RESET	FLASH #RESET 信号, 不用连接。
235	J_FLASH_AWE	FLASH #AWE 信号, 不用连接。
236	J_FLASH_EA22	FLASH 最高位地址 A20, 不用连接。
237	AGND	模拟地
238	VCC_3.3	3.3V 输入
239	VCC_3.3	
管脚编号	管脚名称	管脚功能
240	VCC_3.3	3.3V 输入

备注:

1. 此版本的 DSP I2C 模块和 TI 的不一致, 详见 FT-C6713 使用手册 V2.1。
2. “不用连接”为模块层层间的互连信号, 模块内部已连接。数据线、地址线可做外部拓展, 其他信号不可外接控制信号。

1.4 技术参数

- ◆ 供电电压: +5V、+3.3V、+2.5V、+1.5V、+1.2V;
- ◆ 功耗: 小于 6W;
- ◆ 外形尺寸: 长宽高: 35*35*9.5mm;
- ◆ 工作温度: -45℃~+85℃。

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 17 页，共 34 页

2 模块资源

2.1 DSP 部分

模块处理器采用国防科大 DSP FT-C6713:

- 1) 最高工作频率达 350MHz;
- 2) 支持 8/16/62 位数据接口;
- 3) 20 位地址线;
- 4) 支持多种外部存储器件: SBSRAM、SDRAM、异步存储器;
- 5) 两路 I2C;
- 6) 灵活的锁相环控制。

模块使用到的资源有两路 I2C、4 个外部中断、32 位数据线、20 位地址线、EMIF 控制信号、JTAG 等。

2.1.1 EMIF 接口

DSP 和 FPGA、FLASH、SRAM 之间通过 EMIF 接口通讯。其中 32 位数据线、18 位地址及控制信号和 SRAM 连接; 低 16 位数据线、20 根地址线和 FLASH 连接; 低 16 位数据线、14 根地址和 FPGA 连接; DSP EMIF 控制信号连接到 FPGA, 由 FPGA 产生 SRAM、FLASH 的控制信号。

2.1.2 I2C 接口

模块两 I2C 接口直接引出, 支持主从双向访问。

备注: FT-C6713J 早期产品 I2C 模块和 TI 的不完全兼容, 详见 FT-C6713J 使用手册 V2.1。

2.1.3 JTAG 口

模块 DSP JTAG 信号直接引出, 可按标准电路接仿真器。

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 18 页, 共 34 页

2.1.4 DSP 配置

模块设计 16 位 FLASH 启动, 数据小端模式。硬件上将 HD4:HD3 配置成[1:0]; HD8 配置成 1。

2.2 存储部分

2.2.1 FLASH 部分

模块集成了一片 2M*16Bit 的 FLASH: SM29LV320 兼容 AM29LV320。16 数据、20 根地址和 DSP 连接, 最高位地址 A20、控制信号来至 FPGA。由于 DSP 启动必需映射到 CE1, 即 FLASH 的片选为 DSP CE1 信号通过 FPGA 的直通。FLASH 的复位信号硬件上通过 1K 电阻下拉到地, 复位完成后一定要将复位信号 J_FLASH_RESET 置高。FLASH_RY/#BY 为开漏输出, 需接上拉到 3.3V。下表为 FLASH 的连接关系:

表 2-1 FLASH 连接关系表

FLASH	DSP	FPGA
QD0~DQ15	ED0~ED15	
A0~A19	EA2~EA21	
A20		J_FLASH_EA22
#RESET		J_FLASH_RESET
#WE		J_FLASH_AWE
#OE		J_FLASH_AOE
#CE		J_FLASH_CE
RY/BY#		J_FLASH_RY/BY#

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 19 页, 共 34 页

2.2.2 SRAM 部分

模块集成由 2 片 256K*16Bit 拼接成 256K*32Bit 的 SRAM，型号为 JM64LV25616。SRAM 的 32 位数据线、18 根地址线和 DSP 连接；控制信号由 FPGA 提供，其连接关系如下：

表 2-2 SRAM 连接关系表

SRAM	DSP	FPGA
I00~31	ED0~ED31	
A0~A17	EA2~EA19	
#WE		J_SRAM_WE
#CE		J_SRAM_CE
#OE		J_SRAM_OE

2.3 FPGA 部分

2.3.1 FPGA 管脚分配

模块 FPGA 采用国微 SMQ2V1000，兼容 XILINX XQ2V1000。FPGA 负责和 DSP 通讯，完成 ADC、DAC、CAN、RS422 等功能的转换及控制。模块 FPGA 管脚分配如下表：

表 2-3 FPGA 管脚分配表

序号	管脚	功能	I/O	备注
和 DSP 通讯				
1	N22	J_DSP_EA2	I	地址
2	N23	J_DSP_EA3	I	
3	H22	J_DSP_EA4	I	

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 20 页, 共 34 页

4	H21	J_DSP_EA5	I	
5	H24	J_DSP_EA6	I	
6	H23	J_DSP_EA7	I	
7	K18	J_DSP_EA8	I	
8	K17	J_DSP_EA9	I	
9	J18	J_DSP_EA10	I	
10	G21	J_DSP_EA11	I	
11	G23	J_DSP_EA12	I	
12	F23	J_DSP_EA13	I	
13	F24	J_DSP_EA14	I	
14	H18	J_DSP_EA21	I	
15	C20	J_DSP_ED0	I/O	数据
16	D20	J_DSP_ED1	I/O	
序号	管脚	功能	I/O	备注
17	D19	J_DSP_ED2	I/O	数据
18	E19	J_DSP_ED3	I/O	
19	E18	J_DSP_ED4	I/O	
20	F18	J_DSP_ED5	I/O	
21	H16	J_DSP_ED6	I/O	
22	G17	J_DSP_ED7	I/O	
23	D22	J_DSP_ED8	I/O	
24	D23	J_DSP_ED9	I/O	
25	E21	J_DSP_ED10	I/O	
26	E22	J_DSP_ED11	I/O	

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 21 页, 共 34 页

27	F21	J_DSP_ED12	I/O	
28	F20	J_DSP_ED13	I/O	
29	G20	J_DSP_ED14	I/O	
30	G19	J_DSP_ED15	I/O	
31	E17	J_DSP_HOLD	O	DSP /HOLD 信号
32	B6	J_DSP_RESET	O	DSP 复位信号
33	A6	J_GP4/DSP_INT4	O	DSP 中断信号 4
34	E7	J_GP5/DSP_INT5	O	DSP 中断信号 5
35	H9	J_GP6/DSP_INT6	O	DSP 中断信号 6
36	D6	J_GP7/DSP_INT7	O	DSP 中断信号 7
37	J19	J_DSP_AOE	I	DSP /AOE 信号
38	H19	J_DSP_ARE	I	DSP /ARE 信号
39	G22	J_DSP_AWE	I	DSP /AWE 信号
序号	管脚	功能	I/O	备注
40	H20	J_DSP_ECLKOUT	I	DSP ECLKOUT 信号
41	N19	J_DSP_ARDY	O	DSP ARDY 信号
42	E24	J_DSP_CE0	I	DSP /CE0
43	E23	J_DSP_CE1	I	DSP /CE1
44	N20	J_DSP_CE2	I	DSP /CE2
45	N21	J_DSP_CE3	I	DSP /CE3
46	J17	J_DSP_BE0	I	DSP /BE0
47	D24	J_DSP_BE1	I	DSP /BE1
48	N17	J_DSP_BE2	I	DSP /BE2
49	N18	J_DSP_BE3	I	DSP /BE3

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 22 页, 共 34 页

复位/时钟信号				
50	C5	Y_RESET	I	系统复位信号
51	H12	ICLK40M	I	系统 40MHZ 时钟
52	H11	ICLK40M_1	I/O	时钟 40MHZ
53	F12	ICLK9.8304M	I/O	时钟 9.8304MHZ
54	A13	GCK_BK1	I/O	时钟备用
55	A14	GCK_BK2	I/O	时钟备用
FLASH 控制信号				
56	W5	J_FLASH_EA22	O	FLASH 地址 EA22
57	V6	J_FLASH_RESET	O	FLASH 复位信号
58	W4	J_FLASH_AWE	O	FLASH /AWE 信号
59	Y2	J_FLASH_AOE	O	FLASH /AOE 信号
60	Y1	J_FLASH_CE	O	FLASH /CE 信号
序号	管脚	功能	I/O	备注
61	U7	J_FLASH_RY/#BY	I	FLASH RY/#BY 信号
SRAM 控制信号				
62	V2	J_SRAM_OE	O	SRAM /OE 信号
63	W1	J_SRAM_WE	O	SRAM /WE 信号
64	W2	J_SRAM_CE	O	SRAM /CE 信号
CAN 信号				
65	AD17	Y_CAN_R	I	CAN 输入 R
66	AA18	Y_CAN_D	O	CAN 输出 D
67	AC18	J_C_CAN_R	I	CAN 输入 R
68	AA17	J_C_CAN_D	O	CAN 输出 D

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 23 页, 共 34 页

422 信号				
69	AB14	J_C_RXA_422	I	422 接收 A
70	AB16	J_C_RXB_422	I	422 接收 B
71	AC16	J_C_RXC_422	I	422 接收 C
72	AA14	J_C_RXD_422	I	422 接收 D
73	V16	J_C_DO1_422	O	422 发送 DO1
74	AD16	J_C_DO2_422	O	422 发送 DO2
75	W16	J_C_TX1_422	O	422 发送 TX1
76	Y17	J_C_YC_422	O	422 发送 YC
77	AA3	Y_RXD1	I	422 接收 RXD1
78	Y4	Y_RXD2	I	422 接收 RXD2
79	AA2	Y_RXD3	I	422 接收 RXD3
80	Y3	Y_RXD4	I	422 接收 RXD4
序号	管脚	功能	I/O	备注
164245 驱动信号				
81	U18	J_245_OE1	O	164245 /OE1
82	Y19	J_245_OE2	O	164245 /OE1
83	T17	J_245_DIR1	O	164245 DIR1
84	AD22	J_245_DIR2	O	164245 DIR2
85	V20	J_F_245_0	I/O	16 路 I0
86	W21	J_F_245_1	I/O	
87	W18	J_F_245_2	I/O	
88	W17	J_F_245_3	I/O	
89	AB17	J_F_245_4	I/O	

	数模混合模块 OBТ-MCES-01 使用手册		编写日期	2018-6-27
			版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01		页码	第 24 页, 共 34 页

90	AC17	J_F_245_5	I/O	
91	AB18	J_F_245_6	I/O	
92	AC19	J_F_245_7	I/O	
93	AD19	J_F_245_8	I/O	
94	V17	J_F_245_9	I/O	
95	AC20	J_F_245_10	I/O	
96	AD20	J_F_245_11	I/O	
97	U16	J_F_245_12	I/O	
98	Y18	J_F_245_13	I/O	
99	AA19	J_F_245_14	I/O	
100	AB20	J_F_245_15	I/O	
B9726 (DAC)				
101	V3	Y_DARESET	O	DAC 复位信号
序号	管脚	功能	I/O	备注
102	AC9	Y_CLK-	O	DAC 差分时钟
103	AB9	Y_CLK+	O	
104	D14	Y_DCLK+	O	DAC 数据时钟
105	C14	Y_DCLK-	O	
106	U3	Y_DB0-	O	DAC 16 组差分数据
107	U4	Y_DB0+	O	
108	U1	Y_DB1-	O	
109	U2	Y_DB1+	O	
110	R7	Y_DB2-	O	
111	R8	Y_DB2+	O	

	数模混合模块 OBТ-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 25 页, 共 34 页

112	T6	Y_DB3-	O	
113	T7	Y_DB3+	O	
114	U5	Y_DB4-	O	
115	U6	Y_DB4+	O	
116	D13	Y_DB5-	O	
117	E13	Y_DB5+	O	
118	F13	Y_DB6-	O	
119	G13	Y_DB6+	O	
120	H13	Y_DB7-	O	
121	H14	Y_DB7+	O	
122	AC6	Y_DB8-	O	
123	AC5	Y_DB8+	O	
124	AD5	Y_DB9-	O	
序号	管脚	功能	I/O	备注
125	AD4	Y_DB9+	O	DAC 16 组差分数据
126	W8	Y_DB10-	O	
127	Y8	Y_DB10+	O	
128	AB8	Y_DB11-	O	
129	AA8	Y_DB11+	O	
130	AC8	Y_DB12-	O	
131	AC7	Y_DB12+	O	
132	AD8	Y_DB13-	O	
133	AD6	Y_DB13+	O	
134	W9	Y_DB14-	O	

	数模混合模块 OBТ-MCES-01 使用手册		编写日期	2018-6-27
			版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01		页码	第 26 页, 共 34 页

135	V9	Y_DB14+	O	
136	AA9	Y_DB15-	O	
137	Y9	Y_DB15+	O	
B9235 (ADC)				
138	M1	Y_ADC_CLK	O	ADC 时钟
139	M2	Y_ADC_D0	I	ADC 数据
140	M4	Y_ADC_D1	I	
141	M6	Y_ADC_D2	I	
142	J1	Y_ADC_D3	I	
143	J2	Y_ADC_D4	I	
144	J4	Y_ADC_D5	I	
145	M7	Y_ADC_D6	I	
146	M5	Y_ADC_D7	I	
序号	管脚	功能	I/O	备注
147	H1	Y_ADC_D8	I	ADC 数据
148	J3	Y_ADC_D9	I	
149	M3	Y_ADC_D10	I	
150	N2	Y_ADC_D11	I	
B9243 (ADC)				
151	A4	Y_ADCLKOUT	O	ADC 时钟
152	D2	Y_YD0	I	ADC 数据
153	D3	Y_YD1	I	
154	E3	Y_YD2	I	
155	E4	Y_YD3	I	

	数模混合模块 OBT-MCES-01 使用手册		编写日期	2018-6-27
			版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01		页码	第 27 页，共 34 页

156	F4	Y_YD4	I	
157	F5	Y_YD5	I	
158	G5	Y_YD6	I	
159	G6	Y_YD7	I	
模拟开关地址				
160	A3	Y_ADDR0	O	模拟开关地址
161	D5	Y_ADDR1	O	
162	E6	Y_ADDR2	O	
163	F7	Y_ADDR3	O	
164	G8	Y_ADDR4	O	
165	A5	Y_ADDR5	O	
触发器				
166	AB1	Y_IPCM_UP	O	上行解调输出
序号	管脚	功能	I/O	备注
167	AB2	Y_IPCM	O	方案 1 下行输出
16 路 IO				
168	D11	J_IO_0	I/O	16 路 IO
169	E9	J_IO_1	I/O	
170	D8	J_IO_2	I/O	
171	B7	J_IO_3	I/O	
172	G10	J_IO_4	I/O	
173	G9	J_IO_5	I/O	
174	F8	J_IO_6	I/O	
175	D7	J_IO_7	I/O	

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 28 页, 共 34 页

176	C11	J_IO_8	I/O
177	D9	J_IO_9	I/O
178	C8	J_IO_10	I/O
179	B8	J_IO_11	I/O
180	H10	J_IO_12	I/O
181	F9	J_IO_13	I/O
182	C7	J_IO_14	I/O
183	E8	J_IO_15	I/O

2.3.2 FPGA PROM

FPGA PROM 为国微 SMQ18V04 兼容 XILINX XQ18V04, 配置成串行模式, JTAG 信号直接引脚引出, 外接仿真器。

2.4 RS422 部分

模块集成了 8 路 RS422 接收、4 路 RS422 发送。RS422 信号由 FPGA 控制, 其管脚分配见 FPGA 管脚分配表 2-3 RS422 部分。FPGA 内嵌入 RS422 IP 核完成 RS422 功能。模块 RS422 管脚 (差分对) 可直接连接 RS422 电平/设备。

2.5 CAN 部分

模块集成了 2 路 CAN 接口芯片, FPGA 嵌入 CAN IP 核实现 CAN 功能。模块 CAN 管脚 J_C_CANH、J_C_CANL、Y_CAN_H、Y_CAN_L 可直接连接外部 CAN 总线。CAN IP 核管脚分配见 FPGA 管脚分配表 2-3 CAN 部分。

2.6 ADC_B9243 部分

模块集成了一片 3MSPS 14Bit 的 ADC B9243。ADC 部分采用 +5V、+3.3V 供电, 设计中只取了 ADC 的高 8 位做 8 位 ADC 使用。8 位数据和 FPGA 连接, 连接分

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 29 页, 共 34 页

配信息见 FPGA 管脚分配表 2-3 ADC_B9243 部分。B9243 采用内部参考电压 $V_{ref}=2.5V$ 。模拟输入 VINA ($V_{pp}=5V$)，时钟信号 CLK 做模块引脚使用。其中 VINA 对应模块引脚名称 Y_MUX, CLK 对应模块引脚 Y_ADCLK。注意 Y_ADCLK 为 5V 电平时钟信号。

表 2-4 B9243 管脚对应关系

B9243 管脚	模块管脚
VINA	Y_MUX
CLK	Y_ADCLK

备注：

1. 更详尽的电路连接，请看模块电路图 B9243 部分。

2.7 ADC_B9235 部分

模块集成了一片 65MSPS 12Bit 的 ADC B9235。ADC 采用+3.3V 供电，设计使用内部参考电压 $V_{ref}=1V$ 。12 位数据和 FPGA 连接，ADC 工作时钟也由 FPGA 提供，详见 FPGA 管脚分配表 2-3 ADC_B9235 部分。B9235 的差分模拟输入

($V_{pp}=2V$) VIN+, VIN-, MODE 作为模块引脚，其对应关系如下表。其中 MODE 为数据格式选择。

表 2-5 B9235 管脚对应关系

B9235 管脚	OBT-MCES-01 管脚
VIN+	Y_ADIN+
VIN-	Y_ADIN-
MODE	MODE

	数模混合模块 OBT-MCES-01 使用 手册	编写日期	2018-6-27
		版次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页码	第 30 页, 共 34 页

备注:

1. 更详尽的电路连接, 请看模块电路图 B9235 部分。

2.8 DAC_B9726 部分

模块集成了一片 16Bit 差分、400MSPS 的高速 DAC B9726。设计上未使用 SPI 配置, DAC 使用默认内部 1.2V 电压参考。工作在默认的 DDR 模式, DAC 数据时钟为 DAC 工作时钟频率的一半。16 组差分数据、工作时钟、数据时钟、复位信号和 FPGA 连接, 管脚分配详见 FPGA 管脚分配表 2-3 DAC_B9726 部分。B9726 FSADJ、IOUTA、IOUTB 做模块引脚, 对应关系见下表, 其中 IOUTA 为模拟电流正输出、IOUTB 为模拟电流负输出, 两者为互补状态。FSADJ 外接电阻决定两模拟电流输出大小:

$$I_{OUTFS} = VREF/R_{FSADJ} \times 32$$

$$I_{OUTA} = I_{OUTFS} \times DB[15:0]/65536$$

$$I_{OUTB} = I_{OUTFS} \times (1 - DB[15:0])/65536$$

表 2-6 B9726 管脚对应关系

B9726	OBT-MCES-01 管脚
FSADJ	Y_DAADJ
IOUTA	Y_IOUTA
IOUTB	Y_IOUTB

备注:

1. 更详尽的电路连接, 请看模块电路图 B9726 部分。

2.9 IO 部分


模块集成了一片 3.3V/5V 电平驱动 JS164245, 其+5V B 端 16 路 IO 引出做模块引脚, +3.3V A 端和 FPGA 连接, 其片选及方向控制信号由 FPGA 提供。另 FPGA

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 31 页, 共 34 页

上直接引出 16 路 IO 做模块引脚。其对应关系入下表：

表 2-7 IO 分配对应关系

FPGA 管脚	JS164245 管脚		OBT-MCES-01 管脚
V20	1A1	1B1	J_245_0
W21	1A2	1B2	J_245_1
W18	1A3	1B3	J_245_2
W17	1A4	1B4	J_245_3
AB17	1A5	1B5	J_245_4
AC17	1A6	1B6	J_245_5
AB18	1A7	1B7	J_245_6
AC19	1A8	1B8	J_245_7
FPGA 管脚	JS164245 管脚	OBT-MCES-01 管脚	FPGA 管脚
AD19	2A1	2B1	J_245_8
V17	2A2	2B2	J_245_9
AC20	2A3	2B3	J_245_10
AD20	2A4	2B4	J_245_11
U16	2A5	2B5	J_245_12
Y18	2A6	2B6	J_245_13
AA19	2A7	2B7	J_245_14
AB20	2A8	2B8	J_245_15
T17	1DIR	DIR=0; B-->A DIR=1; A-->B	
AD22	2DIR		
U18	10E	低电平有效	
Y19	20E		

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 32 页，共 34 页

D11			J_IO_0
E9			J_IO_1
D8			J_IO_2
B7			J_IO_3
G10			J_IO_4
G9			J_IO_5
F8			J_IO_6
D7			J_IO_7
C11			J_IO_8
D9			J_IO_9
C8			J_IO_10
FPGA 管脚	JS164245 管脚	OBT-MCES-01 管脚	FPGA 管脚
B8			J_IO_11
H10			J_IO_12
F9			J_IO_13
C7			J_IO_14
E8			J_IO_15

2.10 触发器部分

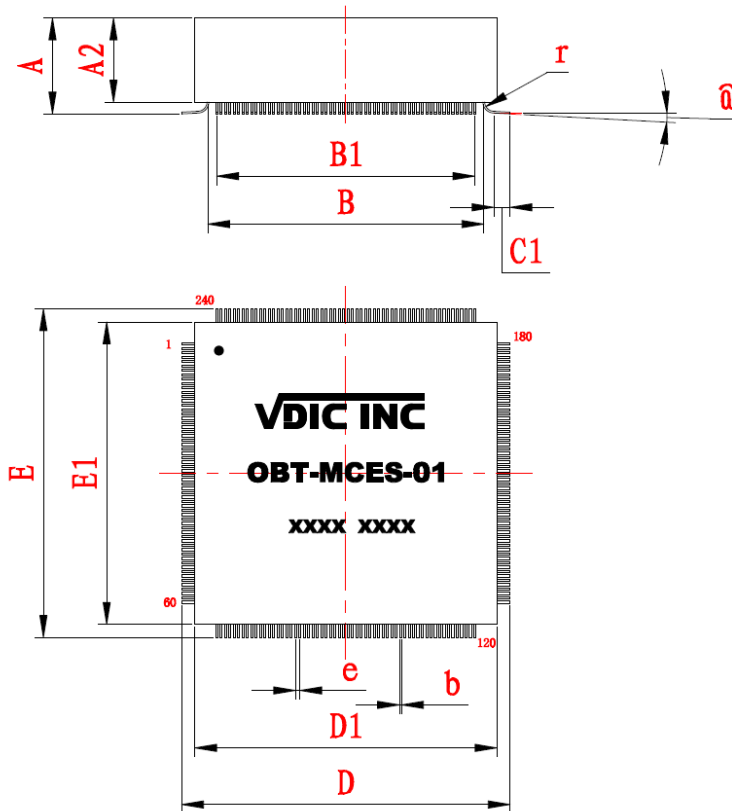
模块集成了一片斯密特触发器 CD54HC14，FPGA 两 IO 做触发器输入，每一路输入使用了触发器两路反相器，触发器输出信号做模块引脚。

表 2-8 触发器信号分配表

FPGA	触发器		OBT-MCES-01
Y_IPCM_UP	1	4	Y_PCM_UP

	数模混合模块 OBT-MCES-01 使用	编写日期	2018-6-27
	手册	版 次	A1
文件编号	ORBITA/SY-MCES-01-USM-01	页 码	第 34 页, 共 34 页

3 封装尺寸



	Min	Max
A	10.50	11.20
A2	9.20	9.90
B	31.45	31.65
B1	29.40	29.60
D	37.35	37.75
D1	34.35	34.75
E	37.35	37.75
E1	34.35	34.75
C1	1.65	2.00
r	1.05	1.35
b	0.25 ± 0.03	
e	0.5	
@	0~3°	
Dimensions(mm)		

4 产品定货信息

表 4-1 计算机模块的订货信息表

产品型号	工作温度范围	封装	级别
OBT-MCES-01	-45°C~+85°C	QPF240	工业级